

ADPCMトランスコーダ

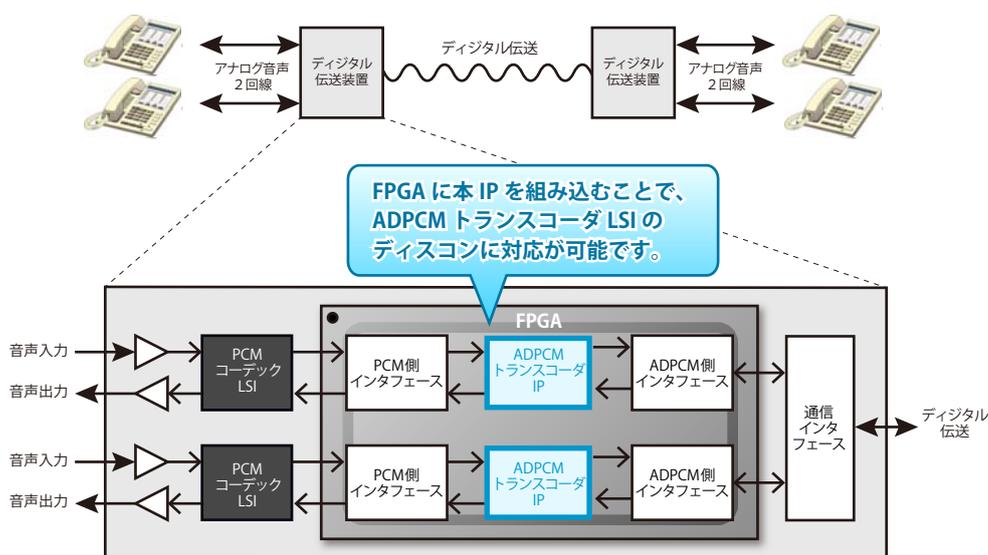
本製品は、ITU-T G.726 規格に準拠した FPGA 用の ADPCM トランスコーダ IP です。

- PCM 符号 64kbps ⇔ 32kbps ADPCM を相互に変換できます。
- 64kbps×1 チャンネルを 32kbps×2 チャンネル化
- 標本化周波数 8kHz クロック動作
- エンコーダ/デコーダ独立回路

【使用例】



【適用例】 ADPCMトランスコーダ LSI のディスコン対応



PCMコーデックと組み合わせることで、
FPGAでADPCMコーデックが構成できます。

Point! 1 ADPCMトランスコーダ LSI がディスコン
でお困りなら
ADPCM トランスコーダ LSI と本 IP を置き換える
ことが可能です。

Point! 2 ADPCMコーデック LSI の置き換えを
ご検討なら
本 IP を組み込んだ FPGA と PCM コーデック LSI
を組み合わせることで、ADPCM コーデック LSI
と置き換えることが可能です。

Point! 3 PCMコーデック LSI を弊社製 PCM コーデック
クIP に置き換えることも可能です。

詳細は、弊社の「PCM コーデック」カタログ
をご参照ください。

【規模 (参考)】

FPGA デバイス	ALTERA 製 CycloneIII (EP3C10)
使用 LE 数	約 8,000LEs
メモリ使用量	0
DSPブロック (乗算器) 使用数	9×9bit 乗算器 20 個

【関連製品情報】

64 チャンネル対応の
「マルチチャンネル対応 ADPCM トランスコーダ」
もございます。



- ご要望により IP のカスタマイズおよび機能追加してのご提供も可能です。
- 外部制御回路等の周辺回路のカスタム設計も承りますので、ご相談ください。
- Verilog-HDL 言語で設計しています。(VHDL 言語での対応についてはご相談ください。)
- マクロ (ネットリスト) によるご提供や ROM 形式でのご提供も可能です。