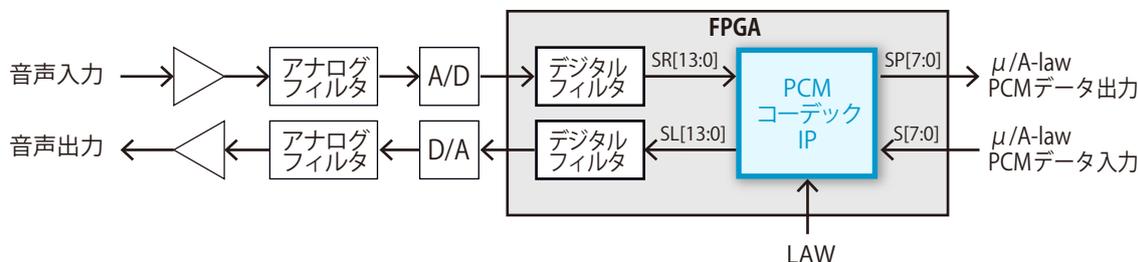


# PCMコーデック

本製品は、ITU-T G.711 規格に準拠したFPGA用のPCMコーデックIPです。

- リニア PCM ⇄  $\mu$ -law PCM / A-law PCM を相互に変換できます。
- 回路規模が小さいため、小規模 FPGA に搭載可能です。

## 【使用例】



## 【インターフェース】

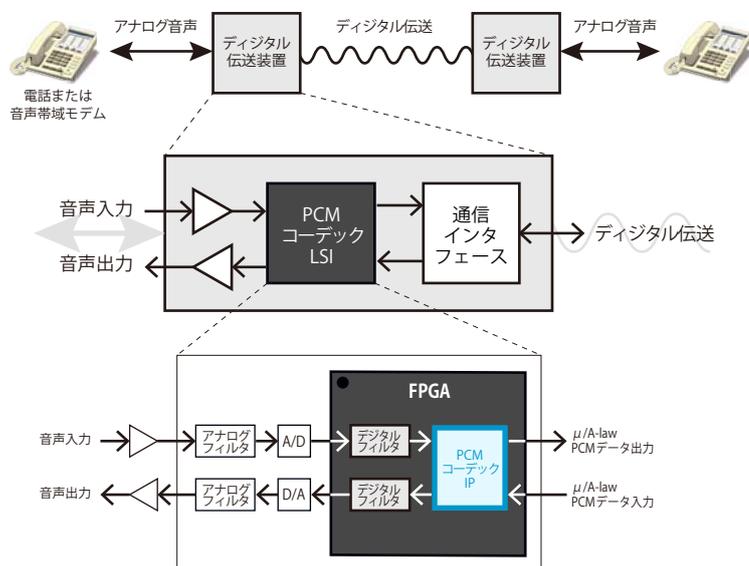
信号名	I/O	機能
LAW	I	LAW 選択信号 (0: $\mu$ -law, 1: A-law)
SR[13:0]	I	14bitPCM リニアデータ入力
SP[7:0]	O	$\mu$ -law / A-law PCM データ出力
S[7:0]	I	$\mu$ -law / A-law PCM データ入力
SL[13:0]	O	14bitPCM リニアデータ出力

## 【規模 (参考)】

ALTERA 製 CycloneIII	EP3C10
使用 LE 数	約 500LEs
メモリ使用量	0

※ その他デバイスの対応に関してはお問い合わせください。

## 【適用例】 PCMコーデック LSI のディスコン対応



- Point! 1** ご要望の特性に応じてフィルタ回路(アナログ/デジタル)や、AD/DA 回路の設計を承ります。
- Point! 2** 推奨 ADC を使用し、より構成を容易にすることができる「ADC 制御機能付き PCMコーデック」IP もご用意しております。
- Point! 3** 「ADPCM トランスコーダ」IP との組み合わせることで、「ADPCMコーデック」が実現できます。

**PCMコーデック LSI を  
AD/DA 変換回路と FPGA で置き換えることで、  
将来的なディスコンリスクを軽減します。**

- ご要望により IP のカスタマイズおよび機能追加してのご提供も可能です。
- 外部制御回路等の周辺回路のカスタム設計も承りますので、ご相談ください。
- Verilog-HDL 言語で設計しています。(VHDL 言語での対応についてはご相談ください。)
- マクロ (ネットリスト) によるご提供や ROM 形式でのご提供も可能です。