

本製品は、代表的な誤り訂正符号方式として広く使われている畳み込み符号に対応するビタビ復号コアです。

軟判定復号 / 硬判定復号、双方に対応しています。

IEEE802.11aをはじめとする多くの通信規格で標準として採用されている拘束長7 (171oct,133oct)の畳み込み符号に対応していますので、さまざまなアプリケーションに適用可能です。

特長

最大回線速度 約 110Mbps (1) を実現し、IEEE802.11a 規格に適応可能

デバଙ୍କチャ機能内蔵

符号化率 1/2, 2/3, 3/4, 4/5, 5/6, 6/7, 7/8 に対応

符号化率に対応した速度変換ブロックを実装

メモリブロック (EAB) を使用しない構成

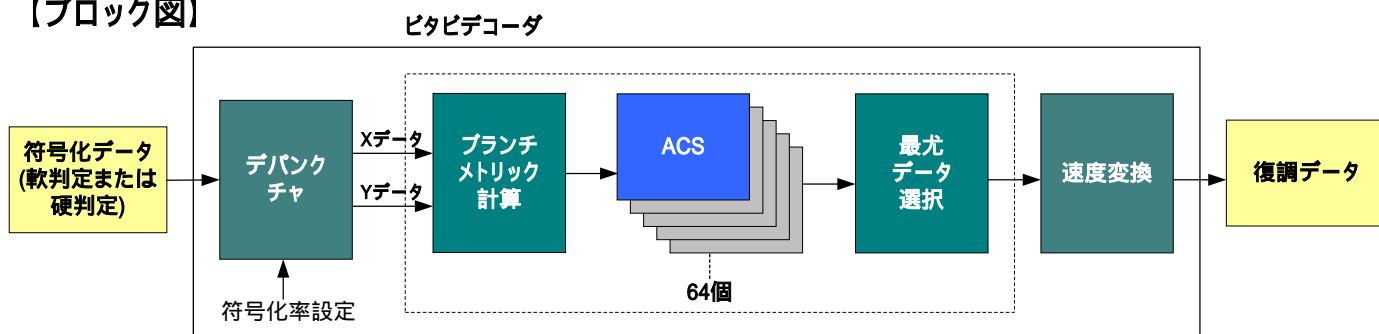
パラメータにより、トレースバック量を設定可能

軟判定ビット幅の設定が可能

(軟判定パラメータのビット幅 = 1 設定のとき、硬判定モード)

(1) 硬判定モードの場合

【ブロック図】



【インタフェース】

信号名	入出力	説明
CLK	入力	入力クロック
RST	入力	リセット信号
EN	入力	デコードイネーブル
DI[NC-1:0]	入力	入力データ(符号化データ)
CRAP[2:0]	入力	符号化率指示信号
CLK0	入力	出力クロック(復号化データ)
DO	出力	出力データ

注) NC : 軟判定ビット幅パラメータ

【規模と速度(参考)】

デバイス : ALTERA 製 Cyclone (EP3C10E144C7) にてトレースバック量 35 の場合

硬判定モード (NC=1) の場合 :

使用 LE 数 : 約 5,400LEs
最大動作速度 : 約 110MHz

軟判定 (NC=4) の場合 :

使用 LE 数 : 約 6,300LEs
最大動作速度 : 約 90MHz

軟判定 (NC=8) の場合 :

使用 LE 数 : 約 8,200LEs
最大動作速度 : 約 85MHz

いずれも使用 EAB 数は 0

ALTERA 製 Cyclone におけるピタビ Decoder IP 単体の参考規模と動作速度になります。
使用ツール:Quartus version9.0 Build 132 02/25/2009 SJ Full Version

【記述言語】

Verilog-HDL (VHDL での対応も可能です。詳細はお問合せください。)

ご要望により IP のカスタマイズおよび機能追加してのご提供も可能です。
外部制御回路等の周辺回路のカスタム設計も承りますので、ご相談ください。
HDL 言語で設計していますので、様々な FPGA や ASIC デバイスへ対応出来ます。
マクロ(ネットリスト)によるご提供や ROM 形式でのご提供も可能です。

通信機器・画像処理関連ハードウェア、ファームウェアの
受託開発も承ります。

株式会社テクノクリエート

【本社】〒980-0801 仙台市青葉区木町通1-8-28 武山興産ビル
【東京技術センター】〒206-0014 東京都多摩市乞田1284永山Uビル

お問い合わせはこちら

☎ 0120-733-606 (お問い合わせセンター)

E-mail: info@techno-create.com

http://www.techno-create.com